

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 08-330957  
 (43) Date of publication of application : 13.12.1996

(51) Int. Cl. H03M 1/08  
 H03H 17/02  
 H03M 1/66

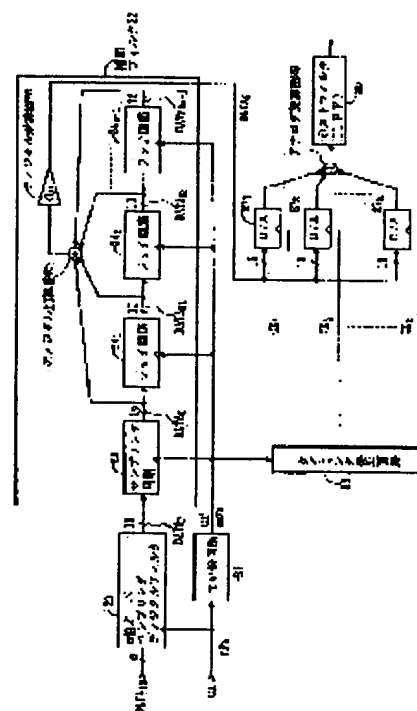
(21) Application number : 07-158285 (71) Applicant : KENWOOD CORP  
 (22) Date of filing : 01.06.1995 (72) Inventor : NISHIMURA KAZUMASA  
 SEKIZAWA NORIYUKI

## (54) D/A CONVERSION DEVICE

### (57) Abstract:

**PURPOSE:** To perform oversampling D/A conversion of a high multiplying factor with a simple and inexpensive constitution.

**CONSTITUTION:** Input digital data DATAIN having a sampling frequency  $F_s$  is subjected to  $n$ -fold oversampling by an  $n$ -fold oversampling digital filter 20. In this case, the band of  $\cdot F_s/2$  is stopped. Digital data DATAP having a frequency  $nF_s$  is subjected to linear interpolation by an interpolation filter 22 by resampling in a period  $1/mnF_s$ , delay by the period  $1/mnF_s$ , and addition of resampled data and each delay data to multiply the sampling frequency by  $(m)$  furthermore. With respect to digital data DATAS having the frequency  $mnF_s$  after linear interpolation, sampled data are subjected to D/A conversion by  $k$  D/A converters 271 to 27k in order one by one, and outputs of D/A converters 271 to 27k are added by an analog adder 29.



## LEGAL STATUS

[Date of request for examination] 14.04.1999

[Date of sending the examiner's decision of rejection] 25.07.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**BEST AVAILABLE COPY**

[Date of extinction of right]

Copyright (C); 1998, 2000 Japanese Patent Office

## \* NOTICES \*

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

[Claim(s)]

[Claim 1] Sampling frequency  $F_s$  A  $n$  times over-sampling-technique digital filter means to perform a  $n$  times as many over sampling technique as this to digital data, and to prevent  $F_s / 2$  or more bands in this case, Sampling frequency  $nF_s$  outputted from an over-sampling-technique digital filter means  $n$  times A interpolation means to perform the interpolation for increasing a sampling frequency  $m$  times to digital data,  $k$  D/A-conversion meanses which divide one sample data in each order, incorporate it, and carry out D/A conversion respectively to the digital data outputted from a interpolation means, It has an addition means to add the output of  $k$  D/A-conversion meanses. the aforementioned interpolation means Sampling frequency  $nF_s$  outputted from an over-sampling-technique digital filter means  $n$  times They are  $1/mnF_s$  about digital data. A sampling means, re-sampling periodically They are  $1/mnF_s$  about the digital data which a sampling means outputs. D/A-conversion equipment characterized by including a retardation means of a card row to make it delayed periodic [ every ]  $(m-1)$ , and an addition means to add the output of a sampling means and each retardation means.

---

[Translation done.]

## \* NOTICES \*

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] this invention relates to D/A-conversion equipment, especially relates to the D/A-conversion equipment which carries out the over sampling technique of the digital data for D/A conversion, and carries out D/A conversion.

[0002]

[Description of the Prior Art] Sampling frequency  $F_s$  reproduced from the record medium with digital audio equipments, such as a CD player, DAT, and MD system, D/A conversion of the digital data is not carried out as it is, but preventing  $F_s$  / two or more bands, an over sampling technique is increased 8 times and it is made to carry out D/A conversion to them. It will have to consider as a steep property high order for removing a noise certainly by return [ VCF / post / (smoothing VCF) / which smooths an output wave since the step change width of face of a D/A-conversion output will become large if the ground carries out D/A conversion of the digital data as it is, a big output distortion arises or a clinch noise exists in low-pass comparatively ], and will become difficult / a manufacture / and expensive, and the phase characteristic in a high region will get worse. If an over sampling technique is carried out before this point and D/A conversion, since step change width of face of a D/A-conversion output will be made small, and output distortion can be made small and a clinch noise component will shift to a high region side, a post VCF is made with the comparatively loose property of a low degree, and a manufacture becomes easy and cheap, and a good phase characteristic can be obtained.

[0003] As for an over sampling technique, the effect becomes large so that 16 times become of 8 times and 32 times and a scale factor become large from 16 times. However, it was difficult for the D/A converters for mass productions, such as an audio, to gather a D/A-conversion speed from the constraint on a cost etc., and the D/A converter which is a 8 times ( $8F_s$ ) grade was a limitation. Then, the technique of realizing the over sampling technique of a high scale factor in carrying out D/A conversion from the former combining two or more D/A converters which are not quick as for the D/A-conversion speed for mass productions is proposed. An over sampling technique is performed 32 times, specifically, preventing  $F_s$  / two or more bands to input digital data (16 bit parallel data) using a digital filter 10, as shown in drawing 6. Four steps of latch circuits 111-114 by which cascade connection was carried out in the output of a digital filter 10 (it consists of 16 D-F/F) It inputs and is  $32F_s$ . You give a clock CK, and make it delayed  $T (=1/32F_s)$  every, and it is each latch circuit 111-114. It is D/A converter 121-124 individually about an output. It inputs. every -- D / A converter 121-124 a sampling frequency --  $8F_s$ ses  $8F_s$ ses inputted from the timing occurrence circuit which does not change digital data and is not illustrated Clock CK1 -CK4 Latch circuit 111-114 which follows and corresponds \*\*\*\* -- D/A conversion of the inputted digital data is carried out every -- D / A converter 121-124  $8F_s$ ses from which 90 degrees of phases shifted at a time Clocks CK1-CK4 following --  $8F_s$  only (performing D/A conversion -- although -- adding a D/A-conversion output with an adder 13 -- you may form one fourth of multipliers in) each input side of an adder 13 -- equivalent ---like --  $32F_s$ ses D/A conversion is performed.

[0004] the output distortion of the adder 13 although the smoothing of the output of an adder 13 is carried out with post VCF 14, since the over sampling technique is carried out 32 times -- very much -- small -- moreover, a clinch noise component --  $32F_s$ ses near -- until -- since it has shifted -- post VCF 14 -- low -- a property quite loose next -- it can do -- a manufacture -- very -- easy -- being cheap -- it becomes and a quite good phase characteristic can be obtained Moreover, two or more D/A converters 121-124 At adding an output, it is each D/A converter 121-124. The decorrelational noise component to generate can also be attenuated.

[0005]

[Problem(s) to be Solved by the Invention] However, digital filters are 32Fs although the burden of a D/A converter is mitigable with the above-mentioned conventional technique. The advanced filtering operation had to be performed at the sampling speed, and since an operation speed became it is high and complicated [ circuit arrangement ], there was a problem that an expensive digital filter had to be used. this invention sets it as the purpose to offer the D/A-conversion equipment which can perform the over sampling technique of a high scale factor in an easy and cheap configuration in view of the problem of the above-mentioned conventional technique.

[0006]

[Means for Solving the Problem] By the D/A-conversion equipment of this invention, it is a sampling frequency  $F_s$ . A  $n$  times over-sampling-technique digital filter means to perform a  $n$  times as many over sampling technique as this to digital data, and to prevent  $F_s / 2$  or more bands in this case, Sampling frequency  $nF_s$  outputted from an over-sampling-technique digital filter means  $n$  times A interpolation means to perform linear interpolation for increasing a sampling frequency  $m$  times to digital data,  $k$  D/A-conversion meanses which divide one sample data in each order, incorporate it, and carry out D/A conversion respectively to the digital data outputted from a interpolation means, It has an addition means to add the output of  $k$  D/A-conversion meanses. a interpolation means Sampling frequency  $nF_s$  outputted from an over-sampling-technique digital filter means  $n$  times They are  $1/mnF_s$  about digital data. A sampling means, re-sampling periodically They are  $1/mnF_s$  about the digital data which a sampling means outputs. It is characterized by including a retardation means of a card row to make it delayed periodic [ every ]  $(m-1)$ , and an addition means to add the output of a sampling means and each retardation means.

[0007]

[Function] According to the D/A-conversion equipment of this invention, it is a sampling frequency  $F_s$  by the  $n$  times over-sampling-technique digital filter means. A  $n$  times as many over sampling technique as this is performed to digital data, and  $F_s / 2$  or more bands are prevented in this case. They are  $1/mnF_s$  by the interpolation means to the digital data of  $nF_s$ . Re-sampling with a period, and  $1/mnF_s$  Retardation of every a period and an addition of \*\*\*\*\* pull data and each retardation data perform linear interpolation, and a sampling frequency is made into  $m$  more times. And  $mnF_s$  after linear interpolation To digital data, a sample data is divided in order, and carries out D/A conversion with every  $k$  D/A-conversion means [ one ], and the output of a D/A-conversion means is added with an addition means. For a digital filter means, a sampling frequency is  $nF_s$  even when this performs a  $mn$  time as many over sampling technique as this. While it is good, and an operation speed is low and ends, there are also few burdens on circuit arrangement and they end. Moreover, since a interpolation means only also performs easy processing called linear interpolation, circuit arrangement are easy, and end and the configuration of them is possible with easy and cheap equipment collectively.

[0008]

[Example] Drawing 1 is a circuit diagram of the D/A-conversion equipment concerning one example of this invention. 20 is a sampling frequency  $F_s$ . They are  $8F_s$  to input digital data DATAIN (16 bit parallel data). Predetermined filtering processing is carried out according to a clock CK. The  $n$  times over-sampling-technique digital filter which performs an over sampling technique  $n$  times while preventing the frequency  $F_s / 2$  or more bands, The \*\*\*\*\* double circuit which outputs clock CK' to which 21 increased the frequency of a clock CK  $m$  times, 22 is the sampling frequency  $nF_s$  outputted from the over-sampling-technique digital filter 20  $n$  times. Digital data DATAP It is the interpolation filter which performs the interpolation for receiving and increasing a sampling frequency  $m$  times.

[0009] The inside of an interpolation filter 22 and 23 are digital data DATAP. The sampling circuit which \*\*\*\*\*s by clock CK' and makes a sampling frequency  $m$  times (it consists of 16 D-F/F here), 241 -24m-1 is the latch circuit (respectively here) of the card row  $(m-1)$  by which cascade connection was carried out to the output side of a sampling circuit 23. it consists of 16 D-F/F -- it is -- sampling-frequency  $mnF_s$  outputted from the sampling circuit 23 Digital data DATAQ clock CK' -- following --  $T=1 / mnF_s$  You make it delayed periodic [ every ]. digital data (\*\*\*\*\* pull data) DATAQ to which 25 was outputted from the sampling circuit 23 Latch circuit 241 -24m-1 \*\*\*\*\* -- it was outputted -- each -- the digital adder adding retardation data DAT AR1-DATARM-1 and 26 are digital multipliers which multiply the output of the digital adder 25 by  $1/m$ , and the equalization means is constituted by the digital adder 25 and the digital multiplier 26 Thus, by the constituted interpolation filter 22, it is digital data DATAP. Linear interpolation increases the over sampling technique of the sampling frequency  $m$  times, and it is digital data DATAS. It is carried out and outputted.

[0010] 271 - 27k k D/A converters by which parallel connection was carried out to the output side of each and the interpolation filter 22 -- it is -- every -- D / A converter 271, - 27k A sampling frequency carries out D/A conversion of the digital data of mnFs/k. For 28, it is based on clock CK' and a frequency is mnFs. Clock CK1 - CKk whose phases are 360 degrees / k pieces shifted [ every / k ] It generates and they are D/A converter 271 - 27k. It is the timing occurrence circuit outputted individually. D/A-converter 27i Clock CKi Digital data DATAS currently outputted from the interpolation filter 22 to the inputted timing D/A conversion is inputted and carried out (i= 1, 2, .., k). 29 is D/A converter 271 - 27k. The analog adder adding an output and 30 are post VCFs (LPF) which perform the smoothing of the output of an analog adder 29.

[0011] Next, an operation of the above-mentioned example is explained with reference to the timing diagram of drawing 2, the frequency characteristic view of drawing 3, and interpolation operation explanatory drawing of drawing 4. In addition, it explains as n= 8 after [ expedient ] explaining here, m= 4, and k= 4. Sampling frequency Fs As input digital data DATAIN is shown in drawing 3 (1), a noise component exists in or more FS near a signal band (0-Fs / 2) / 2 by return. digital data DATAP which carried out the over sampling technique n times since it passed through the signal band of 0-Fs / 2 and FS / two or more (however, below 4Fs) bands were prevented while the over-sampling-technique digital filter 20 made the sampling frequency n= 8 times n times \*\*\*\* -- as the oblique line shows to drawing 3 (2), a clinch noise component is shifted to or more 8Fs-FS / 2. However, the noise component exists by return [ .. / 8Fs\*\*FS / 2, 16Fs\*\*FS / 2, 24Fs\*\*FS / 2, 32Fs\*\*FS / 2, and ].

[0012] Digital data DATAP (= .., D0, D1, D2, and ..) which the over-sampling-technique digital filter 20 outputs n times is frequency 32Fs by the sampling circuit 23. It \*\*\*\*\*s according to clock CK'. m= 4 times as many digital data DATAQ (= .., D0, D0, D1, D1, D1, D1, D2, D2, D2, D2, and ..) as this is obtained for a sampling frequency (refer to [ drawing 2 and ] the drawing 4 ). However, digital data DATAQ Frequency spectrum is DATAP. It does not change (refer to drawing 3 (2)). Digital data DATAQ Clock CK' is followed and it is a latch circuit 241-244. It is latched in order and is T=1/32Fs. It is delayed periodic [ every ]. And digital data DATAQ Latch circuit 241-244 It is referred to as 1/m=1/4 by the digital multiplier 26, after adding with the digital adder 25 with the retardation data DAT AR1-DATAR3. it is shown in drawing 4 -- as -- digital data DATAP Digital data DATAS which carried out linear interpolation {= .. and D0 -- (-- D -- zero -- + -- three -- D -- one --) -- /-- four -- (-- two -- D -- zero -- + -- two -- D -- one --) -- /-- four -- (-- three -- D -- zero -- + -- D -- one --) -- /-- four -- D -- one -- (-- D -- one -- + -- three -- D -- two --) -- /-- four -- (-- two -- D -- one -- + -- two -- D --

[0013] When the system from the output side of a sampling circuit 23 to a digital multiplier 25 is considered here, transfer function H (z) is  $H(z) = (1+z^{-1}+z^{-2}+z^{-3}) / 4 = (1/4) - (1+z^{-1}) (1+z^{-2})$ .

It comes out. If it sets with  $z^{-1} = \exp(-j\omega T)$   $H(z) = \{(1/2) (1 + \exp(-j\omega T))\}$

-  $\{(1/2) (1 + \exp(-j2\omega T))\}$

=  $\exp(-j\omega T/2)$

-  $\{(1/2) (\exp(j\omega T/2) + \exp(-j\omega T/2))\}$

=  $\exp(-j\omega T)$

-  $\{(1/2) (\exp(j\omega T) + \exp(-j\omega T))\}$

=  $\exp(-3j\omega T/2), \cos(\omega T/2), \cos(\omega T)$

It is expressed. Amplitude characteristic M is 8Fs, 16Fs, and 24Fs, as it becomes  $M = |\cos(\omega T/2) \text{ and } \cos(\omega T)|$  and dashed-line M shows to drawing 3 (2). It sets and has a DIP.

[0014] Therefore, digital data DATAP While passing an interpolation filter 22, an over sampling technique will be carried out 4 times, and the clinch noise component of 8Fs\*\*FS / 2, 16Fs\*\*FS / 2, and 24Fs\*\*FS / 2 will be removed simultaneously (refer to drawing 3 (3)).

[0015] sampling-frequency 32Fs outputted from the interpolation filter 22 Digital data DATAS Clock CK1 - CK4 As one sample data is divided in each order by standup timing, it is D/A converter 271-274. It is inputted. D/A conversion is carried out (). [ <A HREF="/Tokujitu/tjitemdrw.ipdl?N0000=237&N0500=1E\_N/?7<<?6:8///&N0001=174&N0552=9&N0553=000004" ] Refer to the TARGET="tjitemdrw" > view 2. D/each A converter 271-274 A sampling frequency is 8Fs. In order to perform a D/A-conversion operation, Although a noise component is produced by return during an output 8Fs\*\*Fs / 2, 16Fs\*\*Fs / 2, and 24Fs\*\*Fs / 2 ( drawing 3 (4)), they are 8Fs, 16Fs, and 24Fs. It sets. D/each A converter 271-274 Since 90 degrees of phases have shifted at a time, if output spectrum is seen with the output of an analog adder 29, the clinch noise component of 8Fs\*\*Fs / 2, 16Fs\*\*Fs / 2, and 24Fs\*\*Fs/2 will be offset (refer to drawing 3 (5)). In addition, it is the D/each A converter 271-274 at having added D/each A conversion output. A decorrelational noise component is also

decreased by offset. Therefore, while an over sampling technique is increased 32 times, it means that D/A conversion of the input digital data DATAIN was carried out.

[0016] By the 32 times as many over sampling technique as this, the primary clinch noise component of a signal band top is shifted to or more  $32F_s - F_s / 2$ . For this reason, a property is very loose, and post VCF 30 which performs the smoothing of the output of an analog adder 27 ends, can make a degree very low, and a manufacture is easy, is cheap, and ends and it can also do the phase characteristic (especially phase characteristic in a high region) in a signal band with a quite good thing.

[0017] For the over-sampling-technique digital filter 20, a sampling frequency is  $8F_s$  even when performing a 32 times as many over sampling technique as this according to this example. While it is good, and an operation speed is low and ends, there are also few burdens on circuit arrangement and they end. Since cheap IC by mass production is marketed, the 8 times over-sampling-technique digital filter for audios is easy to receive.

Moreover, since an interpolation filter 22 only also performs easy processing called linear interpolation, it is easy and ends, and the burden of a cost also becomes empty as for circuit arrangement, and there are and they end. [ no ] Furthermore, D/A converter 271-274 A sampling frequency is  $8F_s$ . While it is good, and a conversion rate is low and ends, there are also few burdens on circuit arrangement and they end.  $8F_s$  for audios Since cheap IC by mass production is marketed, the D/A converter is also easy to receive. A configuration is possible with an easy and cheap thing as the whole D/A-conversion equipment from the above thing.

[0018] In addition, this invention is not limited to this at all, and if  $n=4$ ,  $m=8$ ,  $k=2$ , etc. are  $n$ ,  $m$ , and  $k \geq 2$  or more, it is needless to say [ this invention ], although the above-mentioned example explained as  $n=8$  and  $m=k=4$  that it is good also as combination of other values. moreover, an interpolation filter -- the output of the digital adder 25 --  $1/m$  twice -- the digital multipliers 31 or 32 prepared in the input side or output side of a sampling circuit 23 instead of having carried out as shown in the drawing 5 (1) or (2) --  $1/m$  twice -- it is made to carry out or is shown in drawing 5 (3) -- as -- each input side of the digital adder 25 -- individual --  $331-33m$  of digital multipliers preparing -- individual --  $1/m$  twice -- you may be

[0019]

[Effect of the Invention] According to the D/A-conversion equipment of this invention, it is a sampling frequency  $F_s$  by the  $n$  times over-sampling-technique digital filter means. A  $n$  times as many over sampling technique as this is performed to digital data, and  $F_s / 2$  or more bands are prevented in this case. They are  $1/mnF_s$  by the interpolation means to the digital data of  $nF_s$ . Re-sampling with a period, and  $1/mnF_s$  Retardation of every a period and an addition of \*\*\*\*\* pull data and each retardation data perform linear interpolation, and a sampling frequency is made into  $m$  more times. And  $mnF_s$  after linear interpolation For a digital filter means, a sampling frequency is  $nF_s$ , even when performing a  $mn$  time as many over sampling technique as this, since a sample data is divided in order, and carries out D/A conversion with every  $k$  D/A-conversion means [ one ] to digital data and the output of a D/A-conversion means was added with the addition means. While it is good, and an operation speed is low and ends, there are also few burdens on circuit arrangement and they end. Moreover, since a interpolation means only also performs easy processing called linear interpolation, circuit arrangement are easy, and end and the configuration of them is possible with easy and cheap equipment collectively.

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-330957

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 1/08			H 0 3 M 1/08	B
H 0 3 H 17/02		8842-5 J	H 0 3 H 17/02	D
H 0 3 M 1/68			H 0 3 M 1/68	C

審査請求 未請求 請求項の数 1 F D (全 9 頁)

(21)出願番号 特願平7-158285

(22)出願日 平成7年(1995)6月1日

(71)出願人 000003585

株式会社ケンウッド

東京都渋谷区道玄坂1丁目14番6号

(72)発明者 西村 一政

東京都渋谷区道玄坂1丁目14番6号 株式会社ケンウッド内

(72)発明者 関澤 紀行

東京都渋谷区道玄坂1丁目14番6号 株式会社ケンウッド内

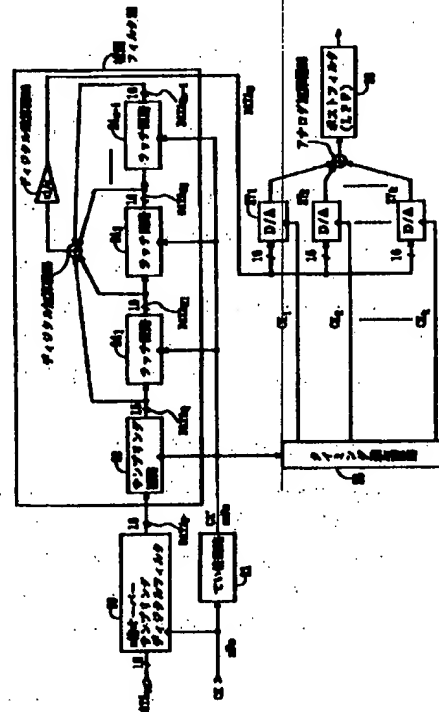
(74)代理人 弁理士 坪内 康治

(54)【発明の名称】 D/A変換装置

(57)【要約】

【目的】 簡単、安価な構成で高倍率のオーバーサンプリングD/A変換を行えるようにする。

【構成】  $n$ 倍オーバーサンプリングデジタルフィルタ20により、サンプリング周波数 $F_s$ の入力デジタルデータ $DATA_{18}$ に対し $n$ 倍のオーバーサンプリングを行い、この際、 $F_s/2$ 以上の帯域を阻止しておく。 $nF_s$ としたデジタルデータ $DATA_7$ に対し補間フィルタ22により、 $1/mnF_s$ の周期でのリサンプリング、 $1/mnF_s$ の周期ずつの遅延、リサンプルデータと各遅延データの加算による直線補間を行ってサンプリング周波数を更に $m$ 倍とする。そして、直線補間後の $mnF_s$ のデジタルデータ $DATA_8$ に対し、サンプルデータを $k$ 個のD/A変換器27<sub>1</sub>~27<sub>k</sub>で1つづつ順に分けてD/A変換し、D/A変換器27<sub>1</sub>~27<sub>k</sub>の出力をアナログ加算器29で加算する。





## 【特許請求の範囲】

【請求項1】 サンプリグ周波数 $F_s$ のデジタルデータに対し $n$ 倍のオーバーサンプリグを行い、この際、 $F_s/2$ 以上の帯域を阻止する $n$ 倍オーバーサンプリグデジタルフィルタ手段と、  
 $n$ 倍オーバーサンプリグデジタルフィルタ手段から出力されるサンプリグ周波数 $nF_s$ のデジタルデータに対し、サンプリグ周波数を $m$ 倍にするための補間を行う補間手段と、  
 補間手段から出力されるデジタルデータに対し、各々、サンプルデータを1つつつ順に分けて取り込みD/A変換する $k$ 個のD/A変換手段と、  
 $k$ 個のD/A変換手段の出力を加算する加算手段と、  
 を備え、  
 前記補間手段は、 $n$ 倍オーバーサンプリグデジタルフィルタ手段から出力されるサンプリグ周波数 $nF_s$ のデジタルデータを $1/mnF_s$ の周期でリサンプリグするサンプリグ手段と、  
 サンプリグ手段の出力するデジタルデータを $1/mnF_s$ の周期ずつ遅延させる $(m-1)$ 段の遅延手段と、  
 サンプリグ手段及び各遅延手段の出力を加算する加算手段と、  
 を含むこと、  
 を特徴とするD/A変換装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はD/A変換装置に係り、とくにD/A変換対象のデジタルデータをオーバーサンプリグしてD/A変換するD/A変換装置に関する。

## 【0002】

【従来の技術】 CDプレーヤ、DAT、MDシステムなどのデジタルオーディオ装置では、記録媒体から再生したサンプリグ周波数 $F_s$ のデジタルデータをそのままD/A変換するのではなく、 $F_s/2$ 以上の帯域を阻止しながら例えば、8倍にオーバーサンプリグしてD/A変換するようにしている。理由はデジタルデータをそのままD/A変換すると、D/A変換出力のステップ変化幅が大きくなって大きな出力歪が生じてしまったり、折り返し雑音が比較的低域に存在するため、出力波形を滑らかにするポストフィルタ（スムージングフィルタ）で折り返し雑音を確実に除去するには高次の急峻な特性としなければならず、製作が困難で高価となり、また高域での位相特性が悪化してしまう。この点、D/A変換前にオーバーサンプリグすれば、D/A変換出力のステップ変化幅を小さくして出力歪を小さくでき、また、折り返し雑音成分が高域側にシフトするので、ポストフィルタを低次の比較的ゆるやかな特性とでき、製作が容易で安価となり、また、良好な位相特性を得ること

ができる。

【0003】 オーバーサンプリグは8倍より16倍、16倍より32倍と倍率が大きくなるほどその効果が大きくなる。けれども、オーディオ等の量産向けD/A変換器はコスト上の制約などからD/A変換速度を上げることが難しく、8倍（ $8F_s$ ）程度のD/A変換器が限界であった。そこで、従来から、量産向けのD/A変換速度の速くない複数のD/A変換器を組み合わせることで高倍率のオーバーサンプリグを実現する手法が提案されている。具体的には、図6に示す如く、入力デジタルデータ（16ビットパラレルデータ）に対し、デジタルフィルタ10を用いて $F_s/2$ 以上の帯域を阻止しながら32倍オーバーサンプリグを行う。デジタルフィルタ10の出力を縦続接続された4段のラッチ回路（16個のD-F/Fで構成されている）11<sub>1</sub>～11<sub>4</sub>に入力し、 $32F_s$ のクロックCKを与えて $T (=1/32F_s)$ ずつ遅延させ、各ラッチ回路11<sub>1</sub>～11<sub>4</sub>の出力を個別にD/A変換器12<sub>1</sub>～12<sub>4</sub>に入力する。各D/A変換器12<sub>1</sub>～12<sub>4</sub>はサンプリグ周波数が $8F_s$ のデジタルデータを変換するものであり、図示しないタイミング発生回路から入力する $8F_s$ のクロックCK<sub>1</sub>～CK<sub>4</sub>に従い、対応するラッチ回路11<sub>1</sub>～11<sub>4</sub>から入力したデジタルデータをD/A変換する。各D/A変換器12<sub>1</sub>～12<sub>4</sub>は位相が90°ずつずれた $8F_s$ のクロックCK<sub>1</sub>～CK<sub>4</sub>に従い、 $8F_s$ のD/A変換を行っているだけであるがD/A変換出力を加算器13で加算することで（加算器13の各入力側に1/4の乗算器を設けてもよい）、等価的に $32F_s$ のD/A変換を行う。

【0004】 加算器13の出力はポストフィルタ14でスムージングされるが、32倍オーバーサンプリグがされていることから、加算器13の出力歪が非常に小さく、また、折り返し雑音成分が $32F_s$ 近くまでシフトしているので、ポストフィルタ14を低次でかなりゆるやかな特性とでき、製作がきわめて容易で安価となり、かなり良好な位相特性を得ることができる。また、複数のD/A変換器12<sub>1</sub>～12<sub>4</sub>の出力を加算することで、各D/A変換器12<sub>1</sub>～12<sub>4</sub>の発生する非相関ノイズ成分を減衰させることもできる。

## 【0005】

【発明が解決しようとする課題】 しかしながら、上記した従来技術では、D/A変換器の負担を軽減できるものの、デジタルフィルタは $32F_s$ のサンプリグ速度で高度なフィルタリング演算を実行しなければならない、演算速度が高く回路構成も複雑となるため高価なデジタルフィルタを利用しなければならないという問題があった。本発明は上記した従来技術の問題に鑑み、簡単、安価な構成で高倍率のオーバーサンプリグを行えるD/A変換装置を提供することを、その目的とする。

## 【0006】

【課題を解決するための手段】本発明のD/A変換装置では、サンプリング周波数 $F_s$ のデジタルデータに対し $n$ 倍のオーバーサンプリングを行い、この際、 $F_s/2$ 以上の帯域を阻止する $n$ 倍オーバーサンプリングデジタルフィルタ手段と、 $n$ 倍オーバーサンプリングデジタルフィルタ手段から出力されるサンプリング周波数 $nF_s$ のデジタルデータに対し、サンプリング周波数を $m$ 倍にするための直線補間を行う補間手段と、補間手段から出力されるデジタルデータに対し、各々、サンプルデータを1つつ順に分けて取り込みD/A変換する $k$ 個のD/A変換手段と、 $k$ 個のD/A変換手段の出力を加算する加算手段と、を備え、補間手段は、 $n$ 倍オーバーサンプリングデジタルフィルタ手段から出力されるサンプリング周波数 $nF_s$ のデジタルデータを $1/mnF_s$ の周期でリサンプリングするサンプリング手段と、サンプリング手段の出力するデジタルデータを $1/mnF_s$ の周期ずつ遅延させる $(m-1)$ 段の遅延手段と、サンプリング手段及び各遅延手段の出力を加算する加算手段と、を含むことを特徴としている。

【0007】

【作用】本発明のD/A変換装置によれば、 $n$ 倍オーバーサンプリングデジタルフィルタ手段により、サンプリング周波数 $F_s$ のデジタルデータに対し $n$ 倍のオーバーサンプリングを行い、この際、 $F_s/2$ 以上の帯域を阻止しておく。 $nF_s$ のデジタルデータに対し補間手段により、 $1/mnF_s$ の周期でのリサンプリング、 $1/mnF_s$ の周期ずつの遅延、リサンプルデータと各遅延データの加算により直線補間を行ってサンプリング周波数を更に $m$ 倍とする。そして、直線補間後の $mnF_s$ のデジタルデータに対し、サンプルデータを $k$ 個のD/A変換手段で1つつ順に分けてD/A変換し、D/A変換手段の出力を加算手段で加算する。これにより、 $mn$ 倍のオーバーサンプリングを行う場合でも、デジタルフィルタ手段はサンプリング周波数が $nF_s$ で良く、演算速度が低くて済むとともに回路構成上の負担も少なく済む。また、補間手段も直線補間という簡単な処理を行うだけなので、回路構成は簡単で済み、全体として構成が簡単で安価な装置とできる。

【0008】

【実施例】図1は本発明の一実施例に係るD/A変換装置の回路図である。20はサンプリング周波数 $F_s$ の入力デジタルデータ $DATA_{in}$  (16ビットパラレルデータ) に対し $8F_s$ のクロック $CK$ に従い所定のフィルタリング処理をし、周波数 $F_s/2$ 以上の帯域を阻止しながら $n$ 倍オーバーサンプリングを行う $n$ 倍オーバーサンプリングデジタルフィルタ、21はクロック $CK$ の周波数を $m$ 倍にしたクロック $CK'$ を出力する $m$ 倍回路、22は $n$ 倍オーバーサンプリングデジタルフィルタ20から出力されたサンプリング周波数 $nF_s$ のデジタルデータ $DATA_p$ に対し、サンプリング周波数を $m$ 倍

にするための補間を行う補間フィルタである。

【0009】補間フィルタ22の内、23はデジタルデータ $DATA_p$ をクロック $CK'$ でリサンプリングしてサンプリング周波数を $m$ 倍とするサンプリング回路 (ここでは16個の $D-F/F$ で構成されている)、 $24_1 \sim 24_{m-1}$ はサンプリング回路23の出力側に縦続接続された $(m-1)$ 段のラッチ回路 (ここでは各々、16個の $D-F/F$ で構成されている) であり、サンプリング回路23から出力されたサンプリング周波数 $mnF_s$ のデジタルデータ $DATA_q$ をクロック $CK'$ に従い、 $T=1/mnF_s$ の周期ずつ遅延させる。25はサンプリング回路23から出力されたデジタルデータ (リサンプルデータ)  $DATA_q$ とラッチ回路 $24_1 \sim 24_{m-1}$ から出力された各遅延データ $DATA_{q1} \sim DATA_{q,m-1}$ を加算するデジタル加算器、26はデジタル加算器25の出力に $1/m$ を乗じるデジタル乗算器であり、デジタル加算器25とデジタル乗算器26により平均化手段が構成されている。このように構成された補間フィルタ22により、デジタルデータ $DATA_p$ は直線補間によりサンプリング周波数が $m$ 倍にオーバーサンプリングされ、デジタルデータ $DATA_s$ として出力される。

【0010】 $27_1 \sim 27_k$ は各々、補間フィルタ22の出力側に並列接続された $k$ 個のD/A変換器であり、各D/A変換器 $27_1 \sim 27_k$ はサンプリング周波数が $mnF_s/k$ のデジタルデータをD/A変換する。28はクロック $CK'$ に基づき、周波数が $mnF_s$ で位相が $360^\circ/k$ ずつずれた $k$ 個のクロック $CK_1 \sim CK_k$ を発生し、D/A変換器 $27_1 \sim 27_k$ に個別に出力するタイミング発生回路である。D/A変換器 $27_1$ はクロック $CK_1$ が入力されたタイミングで補間フィルタ22から出力されているデジタルデータ $DATA_s$ を入力してD/A変換する ( $i=1, 2, \dots, k$ )。29はD/A変換器 $27_1 \sim 27_k$ の出力を加算するアナログ加算器、30はアナログ加算器29の出力のスムージングを行うポストフィルタ (LPF) である。

【0011】次に、上記した実施例の動作を図2のタイムチャート、図3の周波数特性図、図4の補間動作説明図を参照して説明する。なお、ここでは説明の便宜上、 $n=8, m=4, k=4$ として説明する。サンプリング周波数 $F_s$ の入力デジタルデータ $DATA_{in}$ は、図3

(1)に示す如く、信号帯域 ( $0 \sim F_s/2$ ) に近い $F_s/2$ 以上に折り返し雑音成分が存在する。 $n$ 倍オーバーサンプリングデジタルフィルタ20はサンプリング周波数を $n=8$ 倍とするとともに、 $0 \sim F_s/2$ の信号帯域は通過し、 $F_s/2$ 以上 (但し、 $4F_s$ 以下) の帯域は阻止するので $n$ 倍オーバーサンプリングしたデジタルデータ $DATA_p$ では、図3(2)に斜線で示す如く、折り返し雑音成分は $8F_s - F_s/2$ 以上にシフトする。但し、 $8F_s \pm F_s/2, 16F_s \pm F_s/2, 24F_s \pm F_s/2, 32F_s \pm F_s/2, \dots$ に折り返

し雑音成分が存在している。

【0012】 $n$ 倍オーバーサンプリングデジタルフィルタ20の出力するデジタルデータ $DATA_p (= \dots, D_0, D_1, D_2, \dots)$ はサンプリング回路23によって周波数 $32F_s$ のクロック $CK'$ に従いサンプリングされ、サンプリング周波数が $m=4$ 倍のデジタルデータ $DATA_q (= \dots, D_0, D_0, D_1, D_1, D_1, D_1, D_2, D_2, D_2, D_2, \dots)$ が得られる(図2、図4参照)。但し、デジタルデータ $DATA_q$ の周波数スペクトラムは $DATA_p$ と変わらない(図3(2)参照)。デジタルデータ $DATA_q$ はクロック $CK'$ に従いラッチ回路24<sub>1</sub>~24<sub>4</sub>に順にラッチされて、 $T=1/32F_s$ の周期ずつ遅延される。そして、デジタルデータ $DATA_q$ はラッチ回路24<sub>1</sub>~24<sub>4</sub>の遅延データ

$$\begin{aligned} H(z) &= \{ (1/2) (1 + \exp(-j\omega T)) \} \\ &\cdot \{ (1/2) (1 + \exp(-j2\omega T)) \} \\ &= \exp(-j\omega T/2) \\ &\cdot \{ (1/2) (\exp(j\omega T/2) + \exp(-j\omega T/2)) \} \\ &\cdot \exp(-j\omega T) \\ &\cdot \{ (1/2) (\exp(j\omega T) + \exp(-j\omega T)) \} \\ &= \exp(-3j\omega T/2) \cdot \cos(\omega T/2) \cdot \cos(\omega T) \end{aligned}$$

と表される。振幅特性 $M$ は、

$$M = |\cos(\omega T/2) \cdot \cos(\omega T)|$$

となり、図3(2)に破線 $M$ で示す如く、 $8F_s$ 、 $16F_s$ 、 $24F_s$ においてディップを持つ。

【0014】よって、デジタルデータ $DATA_p$ は補間フィルタ22を通過する間に、4倍オーバーサンプリングがされ、同時に、 $8F_s \pm F_s/2$ 、 $16F_s \pm F_s/2$ 、 $24F_s \pm F_s/2$ の折り返し雑音成分が除去されることになる(図3(3)参照)。

【0015】補間フィルタ22から出力されたサンプリング周波数 $32F_s$ のデジタルデータ $DATA_q$ は、クロック $CK_1 \sim CK_4$ の立ち上がりタイミングによってサンプルデータを1つつ順に分けるようにしてD/A変換器27<sub>1</sub>~27<sub>4</sub>に入力され、D/A変換される(図2参照)。各D/A変換器27<sub>1</sub>~27<sub>4</sub>はサンプリング周波数が $8F_s$ のD/A変換動作を行うため、出力中には $8F_s \pm F_s/2$ 、 $16F_s \pm F_s/2$ 、 $24F_s \pm F_s/2$ に折り返し雑音成分を生じるが(図3(4))、 $8F_s$ 、 $16F_s$ 、 $24F_s$ において、各D/A変換器27<sub>1</sub>~27<sub>4</sub>の出力スペクトラムは位相が $90^\circ$ ずつずれていることから、アナログ加算器29の出力で見ると $8F_s \pm F_s/2$ 、 $16F_s \pm F_s/2$ 、 $24F_s \pm F_s/2$ の折り返し雑音成分が相殺される(図3(5)参照)。なお、各D/A変換出力を加算したことで、各D/A変換器27<sub>1</sub>~27<sub>4</sub>の非相関ノイズ成分も相殺により減衰される。よって、入力デジタルデータ $DATA_{in}$ は32倍にオーバーサンプリングされながらD/A変換されたことになる。

【0016】32倍のオーバーサンプリングにより、信

$DATA_{q1} \sim DATA_{q3}$ とともにデジタル加算器25で加算されたあとデジタル乗算器26で $1/m=1/4$ とされることで、図4に示す如くデジタルデータ $DATA_p$ を直線補間したデジタルデータ $DATA_s \{= \dots, D_0, (D_0 + 3D_1)/4, (2D_0 + 2D_1)/4, (3D_0 + D_1)/4, D_1, (D_1 + 3D_2)/4, (2D_1 + 2D_2)/4, (3D_1 + D_2)/4, D_2, \dots\}$ が形成される(図2参照)。

【0013】ここで、サンプリング回路23の出力側からデジタル乗算器25までの系を考えると、伝達関数 $H(z)$ は、

$$\begin{aligned} H(z) &= (1 + z^{-1} + z^{-2} + z^{-3}) / 4 \\ &= (1/4) \cdot (1 + z^{-1}) (1 + z^{-2}) \end{aligned}$$

である。 $z^{-1} = \exp(-j\omega T)$ とおくと、

号帯域の上側の一次折り返し雑音成分は $32F_s - F_s/2$ 以上にシフトしている。このため、アナログ加算器27の出力のスムージングを行うポストフィルタ30は特性が非常にゆるやかなもので済み、次数を非常に低くでき、製作が容易で安価で済み、信号帯域における位相特性(とくに高域での位相特性)もかなり良好なものとなる。

【0017】この実施例によれば、32倍のオーバーサンプリングを行う場合でも、オーバーサンプリングデジタルフィルタ20はサンプリング周波数が $8F_s$ で良く、演算速度が低くて済むとともに回路構成上の負担も少なく済む。オーディオ用の8倍オーバーサンプリングデジタルフィルタは量産による安価なICが市販されているので、入手が簡単である。また、補間フィルタ22も直線補間という簡単な処理を行うだけなので、回路構成は簡単で済み、コストの負担もすくなく済む。更に、D/A変換器27<sub>1</sub>~27<sub>4</sub>もサンプリング周波数が $8F_s$ で良く、変換速度が低くて済むとともに回路構成上の負担も少なく済む。オーディオ用の $8F_s$ のD/A変換器も量産による安価なICが市販されているので、入手が簡単である。以上のことからD/A変換装置全体として構成が簡単で安価なものとなる。

【0018】なお、上記した実施例では $n=8$ 、 $m=k=4$ として説明したが、本発明は何らこれに限定されるものでなく、例えば、 $n=4$ 、 $m=8$ 、 $k=2$ など、 $n$ 、 $m$ 、 $k \geq 2$ 以上であれば他の値の組み合わせとしても良いのは勿論である。また、補間フィルタも、デジタル加算器25の出力を $1/m$ 倍する代わりに、図5(1)または(2)に示す如く、サンプリング回路23

の入力側または出力側に設けたデジタル乗算器31または32により $1/m$ 倍するようにしたり、図5(3)に示す如くデジタル加算器25の各入力側に個別にデジタル乗算器33<sub>1</sub>~33<sub>n</sub>を設けて個別に $1/m$ 倍するようにしても良い。

#### 【0019】

【発明の効果】本発明のD/A変換装置によれば、 $n$ 倍オーバーサンプリングデジタルフィルタ手段により、サンプリング周波数 $F_s$ のデジタルデータに対し $n$ 倍のオーバーサンプリングを行い、この際、 $F_s/2$ 以上の帯域を阻止しておく。 $nF_s$ のデジタルデータに対し補間手段により、 $1/mnF_s$ の周期でのリサンプリング、 $1/mnF_s$ の周期ずつの遅延、リサンプルデータと各遅延データの加算により直線補間を行ってサンプリング周波数を更に $m$ 倍とする。そして、直線補間後の $mnF_s$ のデジタルデータに対し、サンプルデータを $k$ 個のD/A変換手段で1つつつ順に分けてD/A変換し、D/A変換手段の出力を加算手段で加算するようにしたので、 $mn$ 倍のオーバーサンプリングを行う場合でも、デジタルフィルタ手段はサンプリング周波数が $nF_s$ で良く、演算速度が低くて済むとともに回路構成上の負担も少なく済む。また、補間手段も直線補間という簡単な処理を行うだけなので、回路構成は簡単で済

み、全体として構成が簡単で安価な装置とできる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例に係るD/A変換装置の回路図である。

【図2】D/A変換装置の動作を示すタイムチャートである。

【図3】D/A変換装置の各部から出力されるデジタルデータの周波数スペクトラムである。

【図4】補間フィルタの直線補間動作を示す説明図である。

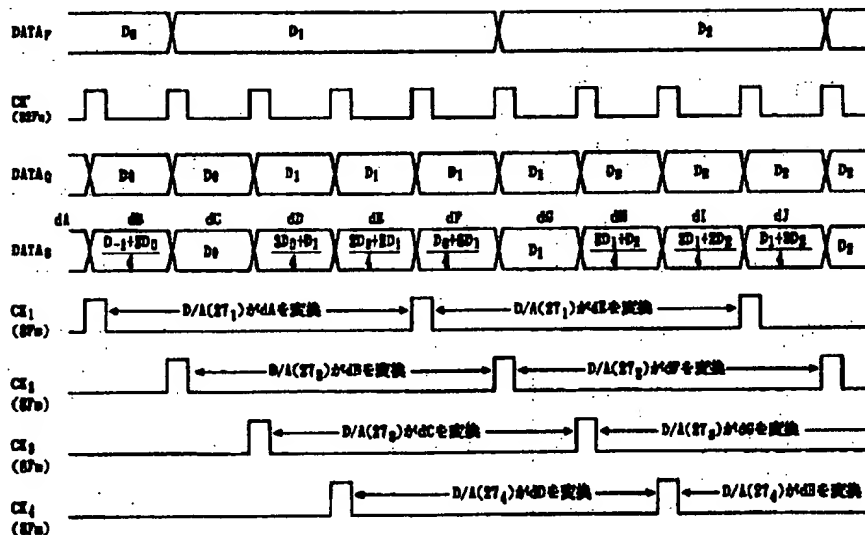
【図5】補間フィルタの変形例を示す回路図である。

【図6】従来のD/A変換装置の回路図である。

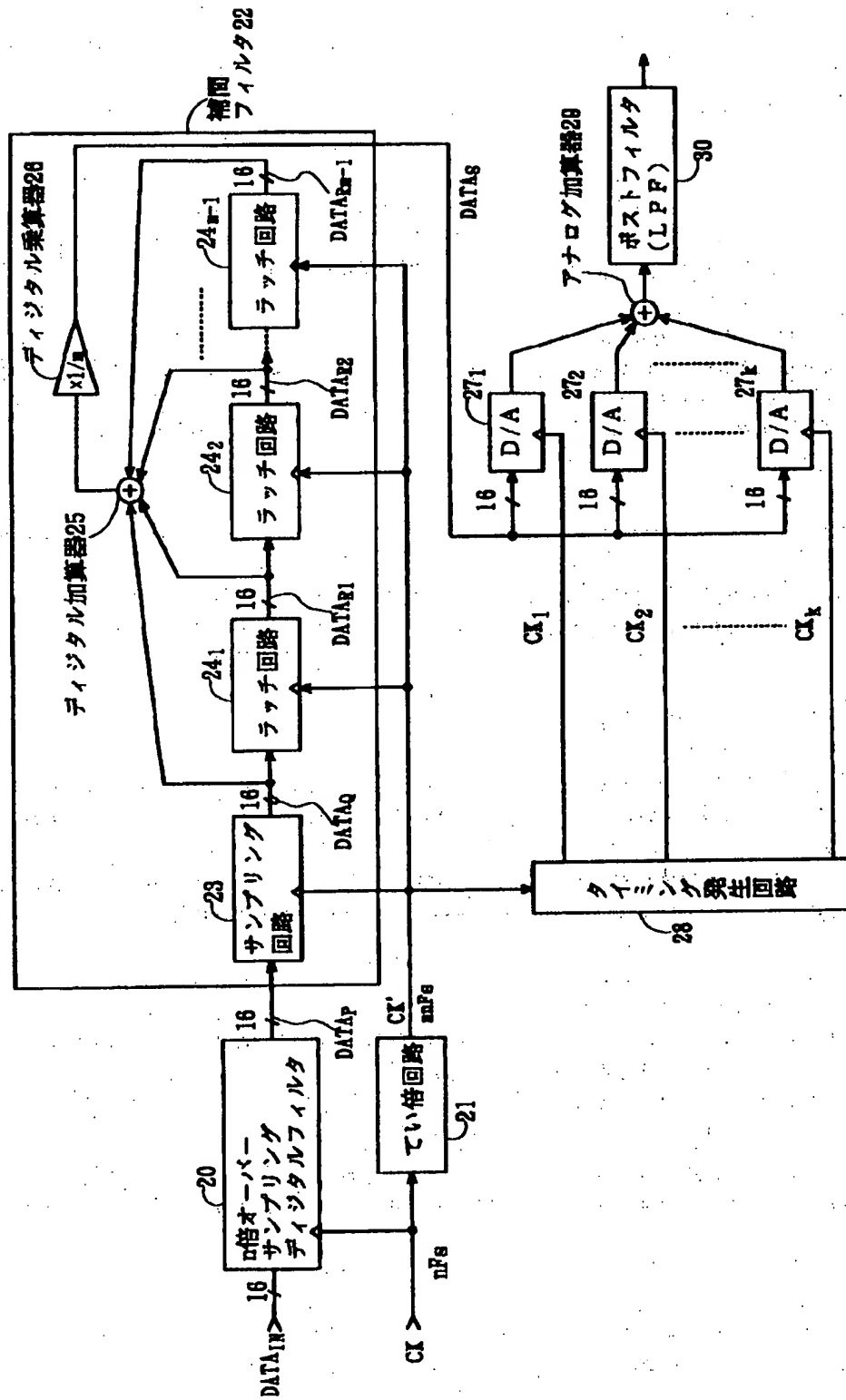
#### 【符号の説明】

- 20  $n$ 倍オーバーサンプリングデジタルフィルタ
- 22 補間フィルタ
- 23 サンプリング回路
- 24<sub>1</sub>~24<sub>n-1</sub> ラッチ回路
- 25 デジタル加算器
- 26、31、32、33<sub>1</sub>~33<sub>n</sub> デジタル乗算器
- 27<sub>1</sub>~27<sub>k</sub> D/A変換器
- 28 タイミング発生回路
- 29 アナログ加算器
- 30 ポストフィルタ

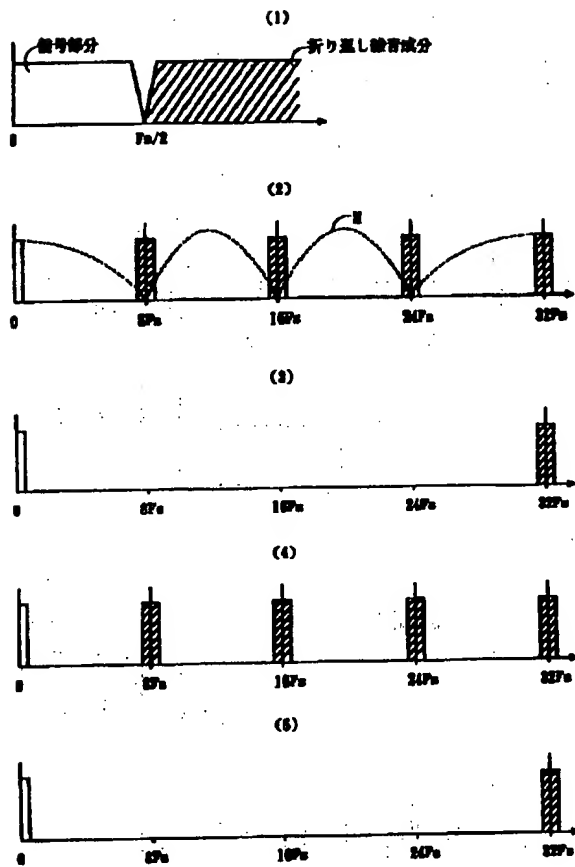
【図2】



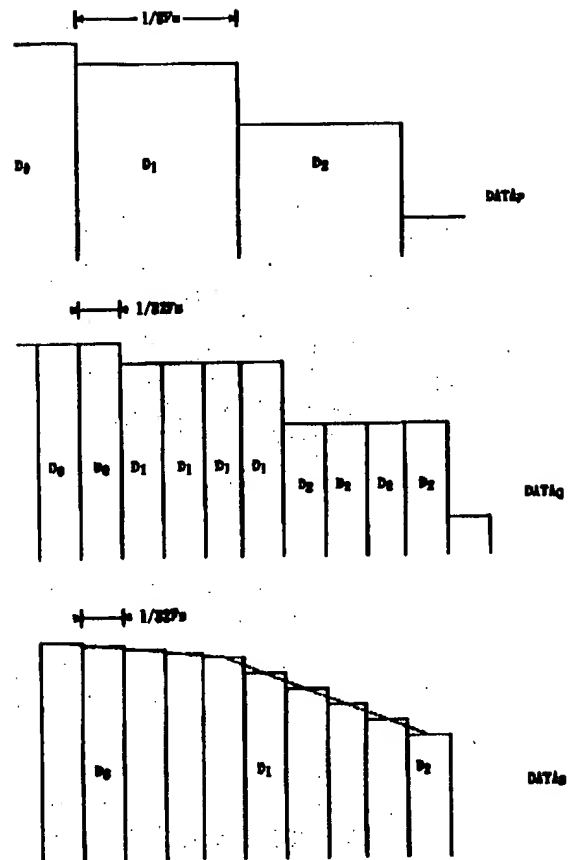
【図1】



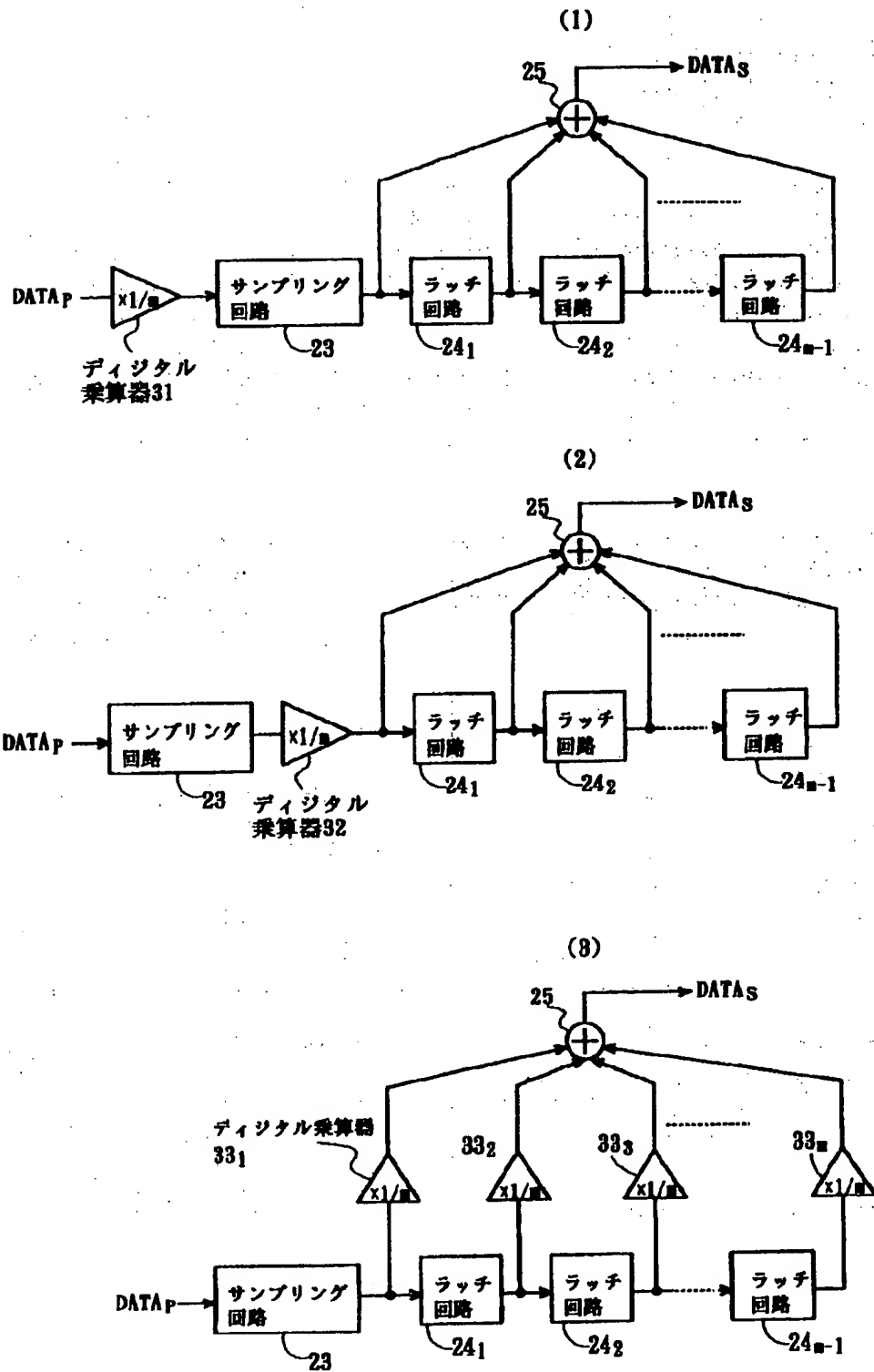
【図3】



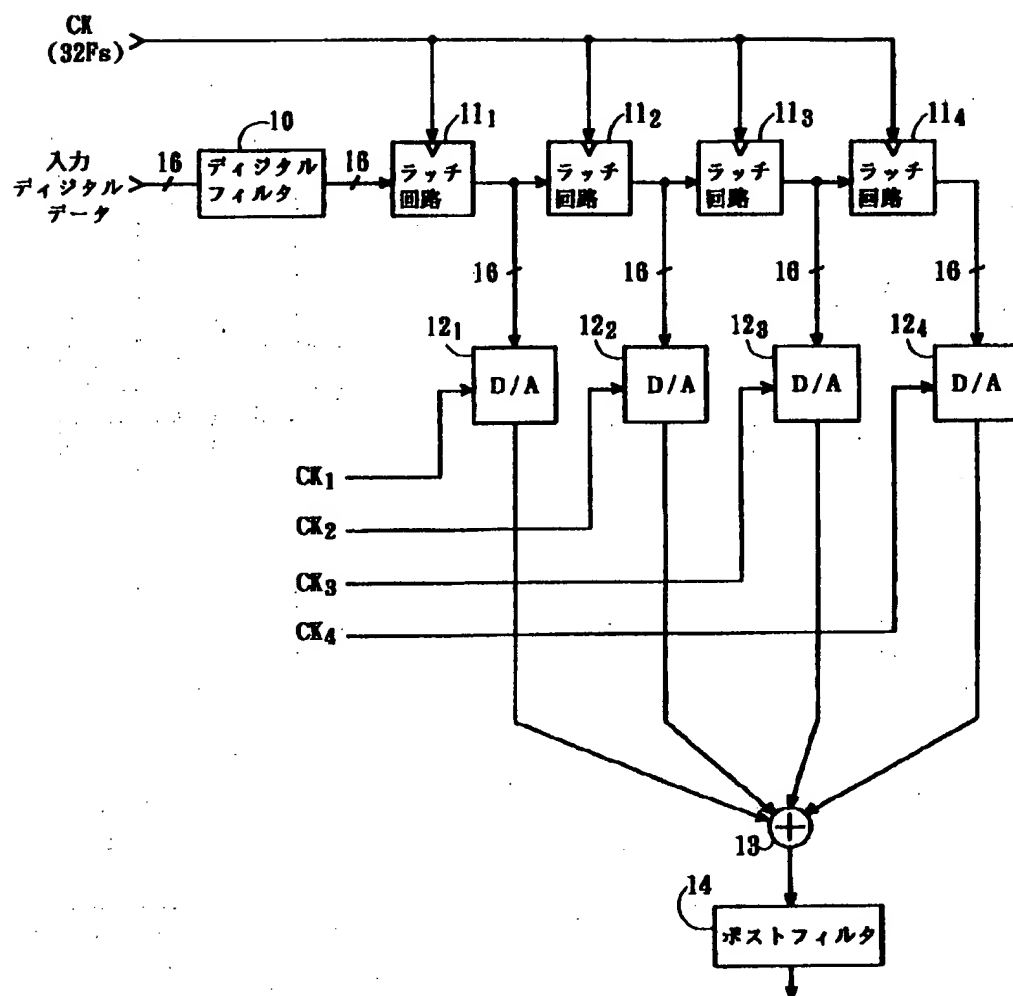
【図4】



【図5】



【図6】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**